

日本国特許
PATENT OFFICE
JAPANESE GOVERNMENT

ARAKAWA, Kazuya et al
April 27, 2001 #2
BS15B CUT
厅(703) 205-8000
0033-0718
1 of 1



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 4月27日

出願番号
Application Number:

特願2000-127342

出願人
Applicant(s):

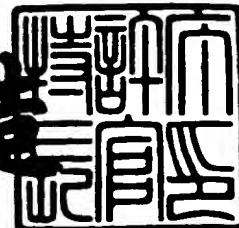
シャープ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 2月 9日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願
【整理番号】 1000419
【提出日】 平成12年 4月27日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 13/00
【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
【氏名】 荒川 和也
【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
【氏名】 高瀬 幹
【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
【氏名】 村松 剛司
【特許出願人】
【識別番号】 000005049
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号
【氏名又は名称】 シャープ株式会社
【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎
【手数料の表示】
【予納台帳番号】 008693
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【フルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ駆動型情報処理装置

【特許請求の範囲】

【請求項1】 少なくとも行先ノード番号と世代番号と命令コードとデータを含むデータパケットの転送および演算処理を転送要求信号と転送許可信号により制御する自己同期型転送制御回路と、

前記自己同期型転送制御回路により制御されて前記データパケットを格納するパイプラインレジスタと、

前記データパケットを内部で循環させるか外部へ出力するかを制御する入出力制御回路を有するデータ駆動型情報処理装置において、

前記パイプラインレジスタの少なくとも1つに格納されているデータパケットを消去しつつ他のデータパケットを外部へ出力する機能を有することを特徴とする、データ駆動型情報処理装置。

【請求項2】 少なくとも行先ノード番号と世代番号と命令コードとデータを含むデータパケットの転送および演算処理を転送要求信号と転送許可信号により制御する自己同期型転送制御回路と、前記自己同期型転送制御回路により制御されて前記データパケットを格納するパイプラインレジスタと、前記データパケットを内部で循環させるか外部へ出力するかを制御する入出力制御回路を有するデータ駆動型情報処理装置において、

前記データパケットに新たなホスト転送フラグを付加し、少なくとも1つのデータパケットを消去するためのマスクリセット入力が設けられ、マスクリセット情報により前記データパケットを消去するデータパケット消去手段と、

前記マスクリセット情報に従って他のデータパケットのホスト転送フラグを書き換える複数のホスト転送フラグ操作手段と、

前記ホスト転送フラグを検出するホスト転送フラグ検出手段とを備えたことを特徴とする、データ駆動型情報処理装置。

【請求項3】 少なくとも行先ノード番号と、世代番号と命令コードとデータを含むデータパケットの転送および演算処理を転送要求信号と転送許可信号により制御する自己同期型転送制御回路と、前記自己同期型転送制御回路により

制御されて前記データパケットを格納するパイプラインレジスタと、前記データパケットを内部で循環させるか外部へ出力するかを制御する入出力制御回路を有するデータ駆動型情報処理装置において、

前記データパケットに新たにホスト転送フラグを付加し、少なくとも1つのデータパケットを消去するためのマスタリセット入力が設けられ、マスタリセット情報により前記データパケットを消去するデータパケット消去手段と、

前記マスタリセット情報を記憶し、入力した他のデータパケットのホスト転送フラグを書換えて出力するホスト転送フラグ操作手段と、

前記ホスト転送フラグを検出するホスト転送フラグ検出手段とを備えたことを特徴とする、データ駆動型情報処理装置。

【請求項4】 前記データパケット消去手段は、前記入出力制御回路内に設けられることを特徴とする、請求項1から3のいずれかに記載のデータ駆動型情報処理装置。

【請求項5】 前記ホスト転送フラグ操作手段は、前記演算処理を行なうブロックの1つであるデータ駆動型情報処理装置の出口に一番近いブロック内に設けられることを特徴とする、請求項3に記載のデータ駆動型情報処理装置。

【請求項6】 さらに、前記データパケット内のホスト転送フラグを検出し、該ホスト転送フラグに従って外部にデータパケットを出力する手段を設けたことを特徴とする、請求項1から5のいずれかに記載のデータ駆動型情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はデータ駆動型情報処理装置に関し、特に、循環パイプライン上の少なくとも1つのデータパケットを消去しつつ循環パイプライン上の他のデータパケットをホストへ転送させる機能を備えたようなデータ駆動型情報処理装置に関する。

【0002】

【従来の技術】

近年のマルチメディア化に伴い、画像処理などでは多量の演算が要求される。このような多量の演算を高速に処理する装置として、データ駆動型情報処理装置（以下、データ駆動型プロセッサと称する）が提案されている。データ駆動型プロセッサでは、ある処理に必要な入力データがすべて揃いつかつその処理に必要な演算装置などの資源が割当てられたときに処理が行なわれるという規則に従って処理が進行する。データ駆動型の情報処理動作を含むデータ処理装置には、非同期のハンドシェイク方式を採用したデータ伝送装置が用いられる。このようなデータ伝送装置では、複数のデータ伝送路が接続され、それらのデータ伝送路がデータの転送要求信号（以下、SEND信号と称する）およびデータの転送を許可するか否かを示す転送許可信号（以下、ACK信号と称する）を互いに送受信しながら、自律的なデータ転送が行なわれる。

【0003】

図5は従来およびこの発明が適用されるデータパケットのフォーマットを示す図である。図5において、データパケットは行先ノード番号ND#を格納するための行先ノード番号領域F1と、世代番号GN#を格納するための世代番号領域F2と、命令コードOPCを格納するための命令コード領域F3およびデータDATAを格納するためのデータ領域F4を含む。ここで、世代番号とは、並列処理をしたいデータ群同士を区別するための番号である。行先ノード番号とは、同一世代内の入力データ同士を区別するための番号である。命令コードとは、命令デコーダに格納されている命令を実行するためのものである。

【0004】

図6はデータ伝送路の構成を示すブロック図である。データ伝送路は、自己同期型の転送制御回路（以下、C素子と称する）3aおよびDタイプフリップフロップからなるデータ保持回路（以下、パイプラインレジスタと称する）3bを含む。C素子3aはパルスを受けるパルス入力端子CIと、転送の許可または転送の禁止を示す転送許可信号を出力する転送許可出力端子ROと、パルスを出力するパルス出力端子COと、転送の許可または転送の禁止を示す転送許可信号を受ける転送許可入力端子RIと、パイプラインレジスタ3bのデータ保持動作を制御するクロックパルスを与えるためのパルス出力端子CPを有している。

【0005】

図7は図6に示したC素子の動作を説明するためのタイミングチャートである。C素子3aは端子CIから図7(a)に示すパルスを受取ると、端子RIに図7(e)に示すような入力の転送許可信号が許可状態であれば、端子COから図7(d)に示すパルスを出力するとともに、パイプラインレジスタ3bに図7(c)に示すパルスを出力する。パイプラインレジスタ3bはC素子3aから与えられるパルスに応答して、与えられる入力パケットデータを保持し、またその保持したデータを出力パケットデータとして出力する。

【0006】

図8は図6に示したデータ伝送路を所定のロジック回路を介してシーケンスに接続した例を示すブロック図である。図15において、入力されるパケットデータは、パイプラインレジスタ4a→4b→4cと順に転送されていく間に、ロジック回路6a, 6bでシーケンスに処理される。図8において、たとえばパイプラインレジスタ4aがデータ保持状態である場合、後段のパイプラインレジスタ4bがデータ保持状態にあれば、パイプラインレジスタ4aからパイプラインレジスタ4bにデータは送られない。

【0007】

また、後段のパイプラインレジスタ4bがデータを保持していない状態であれば、もしくはデータを保持していない状態になれば、少なくとも予め設定された遅延時間をしてデータがパイプラインレジスタ4aからロジック回路6aで処理されてパイプラインレジスタ4bに送られる。このように接続された隣のパイプラインレジスタとの間で送受信されるCIとCO端子で入出力されるSEND信号およびRI端子とRO端子で入出力されるACK信号に従って非同期に、そして少なくとも予め設定された遅延時間をかけてデータ伝送を行なうような制御を自己同期型転送制御と呼び、そのようなデータ転送を制御する回路を自己同期型転送制御回路と呼ぶ。

【0008】

図9は図6に示したC素子の具体的な回路図である。このC素子はたとえば特開平6-83731号公報に記載されたものである。図9において、パルス入力

端子C Iは前段部からのパルス状のSEND信号（転送要求信号）を受け、転送許可出力端子R Oは前段部にACK信号（転送許可信号）を出力する。パルス出力端子C Oは後段部にパルス状のSEND信号を出力し、転送許可入力端子R Iは後段部からACK信号を受ける。

【0009】

マスタリセット入力端子MRはマスタリセット信号を受ける。マスタリセット入力端子MRに「H」レベルのパルスが与えられると、インバータ5 fで反転され、フリップフロップ5 a, 5 bがリセットされてC素子が初期化される。そして、パルス出力端子C O, 転送許可出力端子R Oはともに初期状態として「H」レベル信号を出力する。転送許可出力端子R Oの出力が「H」レベルであることは転送許可状態を示し、逆に「L」レベルであることは転送禁止状態を示している。また、パルス出力端子C Oの出力が「H」レベルであることは、後段にデータ転送を要求していない状態を示し、逆に「L」レベルであることは後段にデータ転送を要求しているまたはデータを転送している状態を示している。

【0010】

パルス入力端子C Iに「L」レベルの信号が入力されると、すなわち前段からデータ転送が要求されると、フリップフロップ5 aはセットされ、その出力Qに「H」レベル信号を出力する。この「H」レベル信号はインバータ5 gで反転されて転送許可入力端子R Oからは「L」レベル信号が出力され、さらなるデータ転送を禁止する。一定時間後、パルス入力端子C Iに「H」レベルの信号が入力され、前段部から当該C素子へのデータのセットが終了する。この状態でかつ転送許可入力端子R Iから「H」レベル信号が入力されている、すなわち後段部からデータ転送を許可されている状態で、かつパルス出力端子C Oが「H」レベル信号を出力している、すなわち後段部へデータ転送している途中でない状態（データ転送を後段に要求していない状態）であれば、NANDゲート5 cはアクティブとなり、「L」レベル信号を出力する。

【0011】

その結果、フリップフロップ5 aと5 bはともにリセットされ、フリップフロップ5 bはパイプラインレジスタへのパルス出力端子C Pから遅延素子5 eを介

して「H」レベル信号を出力するとともに、パルス出力端子C Oから遅延素子5 dを介して後段部のC素子へ「L」レベルのSEND信号を出力する。すなわち、後段部へデータ転送を要求する。「L」レベルのSEND信号を受けた後段のC素子は、そのC素子に対してさらなるデータ転送が行なわれないように転送禁止を示すACK信号を「L」レベルにしてR O端子から出力する。該C素子は転送許可入力端子R Iからの「L」レベルのACK信号を入力し、この信号によりフリップフロップ4 bがセットされる。その結果、パイプラインレジスタへのパルス出力端子C Pから遅延素子5 eを介して「L」レベル信号が出力され、また後段部へのパルス出力端子C Oから遅延素子5 dを介して「H」レベルのSEND信号が出力され、データ転送を終了する。

【0012】

図10は図8に示したデータ転送路を含んで構成された従来のデータ駆動型情報処理装置の概略ブロック図である。図10において、データ駆動型情報処理装置P eは、合流部J NCと、発火制御部F Cと、演算部F Pと、プログラム記憶部P Sと、分岐部B R Nと、複数個のパイプラインレジスタ4 a～4 cと、複数のC素子2 a～2 cを含む。各C素子2 a～2 cは前段および後段のC素子とのパケット転送パルス(C I, C O, R I, R Oの信号)のやり取りによって対応する処理部(F C, F P, P S)についてのパケット転送を制御する。各パイプラインレジスタ4 a～4 cは対応のC素子2 a～2 cからのパルス入力に応じて、前段の処理部より入力されているデータを取込んで保持し、出力段に導出し、次のパルスまでこれを保持する。

【0013】

図10において、プロセッサP eに図5に示したデータパケットが入力されると、入力パケットはまず合流部J NCを通り、発火制御部F Cに伝達され、行先ノード番号N D #と世代番号G N #とに基づいて同一のパケットの間で対データが形成される。すなわち、ノード番号N D #と世代番号G N #が一致する異なる2つのデータパケットの検出を行ない、両番号が一致する2つのうち一方のデータパケットのデータを他方のデータパケットのデータ領域F 4(図5)に追加格納し、この他方のデータパケットを出力する。データ領域F 4に対データ(1組

のデータ) を格納したパケットは次に演算部FPに伝達される。演算部FPは伝達されたデータパケットを入力し、その入力パケットの命令コードOPCに基づいて該入力パケットの内容に対して所定の演算を行ない、演算結果を該入力パケットのデータ領域F4に格納する。該入力パケットは次にプログラム記憶部PSに伝達される。

【0014】

プログラム記憶部PSは伝達されたデータパケットを入力し、その入力パケットの行先ノード番号ND#に基づいて、プログラム記憶部PS内のプログラムメモリからパケットが次に行くべきノード情報(ノード番号ND#)と次に実行するべき命令情報(命令コードOPC)とコピーフラグCPYを読出す。そして、読出された行先ノード番号ND#および命令コードOPCが該入力パケットの行先ノード番号領域F1および命令コード領域F3にそれぞれ格納される。さらに、読出されたコピーフラグCPYが「1」であれば、プログラムメモリ中の次のアドレスも有効と判断されて、次のアドレスに記憶されている行先ノード番号ND#および命令コードOPCを格納したパケットも生成される。

【0015】

プログラム記憶部PSから出力されるパケットは分岐部BRNへ伝達され、その行先ノード番号ND#に基づいて出力されるか、または再度プロセッサ内部に戻される。

【0016】

ところで、データ駆動型情報処理装置において、データの依存関係やデータパケットの到着順序のずれなどにより、デッドロック状態に陥り、以降の実行が全く進まなくなることがある。この現象について図11を用いて説明する。たとえば、図10に示した発火制御部FC内のメモリにはn個のパケット(メモリパケット1～メモリパケットn)が格納されており、空き領域がない状態であるとする。この状態で発火制御部FCへ図11に示したデータパケット1が入力され、該パケットが所有するタグの行先ノード番号および世代番号をそれぞれ内部メモリに記憶されているパケットが有するタグの行先ノード番号および世代番号とを比較し、両方が同一タグを有する相手データパケット2の到着がずれて検出でき

ない場合は、内部のメモリに空きがないため、データパケット1はメモリに格納されずにそのまま循環パイプライン上へ出力されてしまう。そして、この後に発火制御部FCへデータパケット2が入力されてもデータパケット1が検出できなければ、そのまま循環パイプライン上へ出力されてしまう。

【0017】

発火制御部FC内部のメモリにデータパケット1またはデータパケット2が格納されるためには、発火制御部FC内部のメモリに格納されているデータパケットのいずれかが、循環パイプライン上のいずれかのパケットとタグが一致して、発火制御部FC内部のメモリに空き領域ができる必要がある。

【0018】

しかし、プログラムのデータ依存性がたとえば図1-1に示すようであれば、発火制御部FC内のメモリに空きがなく、かつデータパケット1とデータパケット2が並んで入力されると、データパケット1が先に循環パイプラインにそのまま出力されてしまい、続いて入力されるデータパケット2も同様に発火できずに命令が実行されないまま循環パイプラインに出力される。

【0019】

その後、該データパケット1, 2が循環パイプラインを巡回して、再度発火制御部FCに到達してもやはり同じことが起こり、結局メモリに格納されているn個のどのメモリパケットも永久に発火できず、メモリは満杯状態を維持する。

【0020】

そして、合流部JNCからは新たなデータパケットが入力され、この循環されているデータパケットに加わっていくと、終にはパイプラインから次のパイプラインへの転送ができなくなり、デッドロック状態に陥ってしまう。

【0021】

上述したように、デッドロック状態に陥り、以後の実行が全く進まなくなったりやプログラム実行開始時には、データ駆動型情報処理装置PEを初期状態にする必要がある。そのためには、図8に示した自己同期型転送制御回路のマスタリセット入力端子MRに「H」レベルのパルスを与え、データ駆動型情報処理装置PE中のすべてのC素子2a～2cを初期化する方法が取られる。これにより

、パルス出力端子C Oと転送許可出力端子R Oがともに初期状態として「H」レベル信号を出力し、前段部には転送許可状態であると伝え、かつ後段部にデータ転送を要求しない状態になるため、マスタリセット時にパイプラインレジスタの保持するデータは後段のパイプラインレジスタへ送られることがなく、その後前段のパイプラインレジスタから送られてくるデータでデータパケット内は上書きされ、消滅する。これにより、すべてのパイプラインレジスタ内のデータパケットは消滅することになる。

【0022】

【発明が解決しようとする課題】

上述の如く、循環パイプラインがデッドロックの状態に陥り、以後の実行が全く進まなくなった際に、マスタリセットの入力により初期化することができるが、循環パイプラインは図10に示すように、分岐部B R Nから合流部J N Cに戻って循環するため、循環パイプライン上のデータパケットはすべて消去されてもデッドロックの原因究明が困難であった。

【0023】

それゆえに、この発明の主たる目的は、循環パイプラインのデッドロック状態を解除するだけでなく、循環パイプライン上の他のデータパケットを外部に転送させる機能を有するようなデータ駆動型情報処理装置を提供することである。

【0024】

【課題を解決するための手段】

この発明は、少なくとも行先ノード番号と世代番号と命令コードとデータを含むデータパケットの転送および演算処理を転送要求信号と転送許可信号とにより制御する自己同期型転送制御回路と、自己同期型転送制御回路により制御されてデータパケットを格納するパイプラインレジスタと、データパケットを内部で循環させるか外部へ出力するかを制御する入出力制御回路を有するデータ駆動型情報処理装置において、パイプラインレジスタの少なくとも1つに格納されているデータパケットを消去しつつ他のデータパケットを外部に出力する機能を有することを特徴とする。

【0025】

他の発明は、少なくとも行先ノード番号と世代番号と命令コードとデータを含むデータパケットの転送および演算処理を転送要求信号と転送許可信号により制御する自己同期型転送制御回路と、自己同期型転送制御回路により制御されて前記データパケットを格納するパイプラインレジスタと、データパケットを内部で循環させるか外部へ出力するかを制御する入出力制御回路を有するデータ駆動型情報処理装置において、データパケットに新たなホスト転送フラグを付加し、少なくとも1つのデータパケットを消去するためのマスクリセット入力が設けられ、マスクリセット情報により前記データパケットを消去するデータパケット消去手段と、マスクリセット情報に従って他のデータパケットのホスト転送フラグを書換える複数のホスト転送フラグ操作手段と、ホスト転送フラグを検出するホスト転送フラグ検出手段とを備えたことを特徴とする。

【0026】

さらに、他の発明は、少なくとも行先ノード番号と、世代番号と命令コードとデータを含むデータパケットの転送および演算処理を転送要求信号と転送許可信号とにより制御する自己同期型転送制御回路と、自己同期型転送制御回路により制御されてデータパケットを格納するパイプラインレジスタと、データパケットを内部で循環させるか外部へ出力するかを制御する入出力制御回路を有するデータ駆動型情報処理装置において、データパケットに新たにホスト転送フラグを付加し、少なくとも1つのデータパケットを消去するためのマスクリセット入力が設けられ、マスクリセット情報により前記データパケットを消去するデータパケット消去手段と、マスクリセット情報を記憶し、入力した他のデータパケットのホスト転送フラグを書換えて出力するホスト転送フラグ操作手段と、ホスト転送フラグを検出するホスト転送フラグ検出手段とを備えたことを特徴とする。

【0027】

好ましくは、データパケット消去手段は、入出力制御回路内に設けられることを特徴とする。

【0028】

より好ましくは、ホスト転送フラグ操作手段は、演算処理を行なうブロックの1つであるデータ駆動型情報処理装置の出口に一番近いブロック内に設けられる

ことを特徴とする。

【0029】

さらに、より好ましくは、データパケット内のホスト転送フラグを検出し、該ホスト転送フラグに従って外部にデータパケットを出力する手段を設けたことを特徴とする。

【0030】

【発明の実施の形態】

図1は、この発明の一実施形態のハンドシェイク方式を採用したデータ駆動型情報処理装置に用いられるデータ伝送装置を示すブロック図である。

【0031】

この図1に示した実施形態は、図8に示したデータ伝送路にORゲート1fとホスト転送フラグ操作回路1g, 1hを設け、2つのマスタリセット信号MRaとMRbを用いるものであり、その他の構成は図8と同じである。マスタリセット信号MRaは図8のマスタリセット信号MRに相当し、データ伝送装置を初期状態にするものである。マスタリセット信号MRbはデータ伝送路1aのみを初期状態とする。ホスト転送フラグ操作回路1g, 1hはマスタリセット信号MRbが与えられると、パイプラインレジスタ1b, 1cに含まれるパイプラインレジスタが保持するデータパケットのホスト転送フラグを操作する。

【0032】

次に、図1に示したデータ伝送装置の動作について説明する。入力されるパケットデータはパイプラインレジスタ1a→1b→1cと順に転送されていく間に、ロジック回路6a, 6bによってシーケンスに処理される。C素子2a～2cはパルス入力端子CIが前段部からのパルス状のSEND信号を受け、転送許可出力端子ROは前段部のACK信号を出力する。パルス出力端子COは後段部にパルス状のSEND信号を出力し、転送許可入力端子RIは後段部からACK信号を受ける。

【0033】

マスタリセット信号MRbとして「H」レベルのパルスが与えられると、ORゲート1fを介してパイプラインレジスタ1aに含まれるC素子2aのマスタリ

セット入力端子MRに「H」レベルのパルスが入力され、このC素子2aは従来の動作と同様にして、パイプラインレジスタ1aを初期化し、パイプラインレジスタが保持するデータパケットが消去される。この動作は、従来例で説明したマスタリセット信号MRに相当し、マスタリセット信号MRaが「H」レベルになることで、すべてのパイプラインレジスタ内のデータパケットが上書きされて消滅することになる。

【0034】

次に、新たに付加したマスタリセット信号MRbが「H」レベルになると、このときマスタリセット信号MRaは「L」レベルになっている。パイプラインレジスタ1aを制御するC素子2aのみにORゲート1fを介してマスタリセット信号MRbが入力されるため、パイプラインレジスタ1a内のデータパケットは上書きされて消滅する。その後、マスタリセット信号MRbは「L」レベルに変化する。さらに、この「H」レベルのマスタリセット信号MRbはホスト転送フラグ操作回路1gと1hにも制御信号（入力信号）として入力される。これらのホスト転送フラグ操作回路1gと1hは、マスタリセット信号MRbが入力されるC素子2aにより制御されるパイプラインレジスタ1a以外のパイプラインレジスタ1b, 1c…の入力側に各々設けられている。

【0035】

ホスト転送フラグ操作回路1gはたとえば、バッファ回路あるいは遅延回路によって構成され、マスタリセット信号MRbが入力されると、そのマスタリセット信号をそのまま出力する。Dタイプフリップフロップで構成されるパイプラインレジスタのクロック信号としてのCPの立上がり時に、他の情報（タグフィールド, データフィールド）とともに、このホスト転送フラグはパイプラインレジスタに取込まれる。

【0036】

よって、ホスト転送フラグ操作回路1g, 1hの制御信号（入力信号）として「H」レベル信号が入力されると、ホスト転送フラグ操作回路1g, 1hはパイプラインレジスタ1b, 1c内に保持されているデータパケット内のホスト転送フラグを「H」レベルとする。その後、このホスト転送フラグが検出され、「H

」レベルの場合は、強制的にホストに転送させる。

【0037】

なお、この発明の一実施形態で使用されるデータパケットは、図5に示したタグフィールド（行先ノード番号領域F1、世代番号領域F2、命令コード領域F3）と、データフィールド（データ領域F4）からなるデータパケットに、さらにホスト転送フラグが付加された構成となっている。

【0038】

次に、先に説明した図10のデータ駆動型情報処理装置PEに図1のデータ伝送装置を適用した例について説明する。

【0039】

図2は図1に示したデータ伝送装置を用いたデータ駆動型情報処理装置の概略ブロック図であり、図3は図2に示したデータ駆動型情報処理装置の分岐部周辺部のみを示す回路図である。

【0040】

図2において、マスタリセット信号MRaは図10に示したマスタリセット信号MRに対応しており、合流部JNCとC素子2a～2cとORゲート11aの一方入力に与えられ、マスタリセット信号MRbはプログラム記憶部PSとホスト転送フラグ操作回路10fとORゲート11aの他方入力端に与えられる。ORゲート11aは図3に示すように、分岐部BRNに内蔵されているものとする。

【0041】

ホスト転送フラグ操作回路10fは各パイプラインレジスタ4a～4cの前段に配置されているが、図2ではパイプラインレジスタ4cの前段に配置した例を示しており、パイプラインレジスタ4a、4bの前段に設けられるホスト転送フラグ操作回路は図示を省略している。

【0042】

分岐部BRN内には、図3に示すように、C素子2dとパイプラインレジスタ4dが設けられるとともに、ゲート回路11bと11cと11dとホスト転送フラグ検出回路11eとが設けられている。

【0043】

ホスト転送フラグ検出回路11eはパイプラインレジスタ4dから出力される「H」レベルのホスト転送フラグを検出してラッチし、「H」レベル信号をゲート回路11bと11cのそれぞれの一方入力に与える。ゲート回路11b, 11cの他方入力端にはC素子2dの端子COからパルス信号が与えられる。ゲート回路11bの出力は端子Caを介して合流部JNCに与えられ、ゲート回路11cの出力は端子CObを介して外部（ホスト）に与えられる。端子RIaとRIbには、それぞれ合流部JNCと外部とから転送許可信号が与えられ、これらの転送許可信号はゲート回路11dを介してC素子2dのRI入力に与えられる。

【0044】

図2および図3において、ホスト転送フラグ操作回路10fの動作は図1と同様であり、データの依存関係やデータパケットの到着順序のずれなどにより、デッドロック状態に陥ったとき、マスタリセット信号MRbが「H」レベルにされる。これにより、C素子2dのMR入力端子にマスタリセット信号MRaとMRbがORゲート11aを介して入力され、分岐部BRN内のパイプラインレジスタ4dに格納されているデータパケットは上書きされて消滅する。

【0045】

その後、マスタリセット信号MRbが「L」レベルにされる。これにより、分岐部BRN内のパイプラインレジスタ4dが格納するデータパケットが上書きにより消滅し、かつホスト転送フラグが「H」レベルのデータパケットが新たに上書きされてパイプラインレジスタ4dに格納される。

【0046】

この「H」レベルにセットされたデータパケットは、ホスト転送フラグ検出回路11eによって検出される。ホスト転送フラグ検出回路11eは「H」レベルのホスト転送フラグを検出するとラッチして「H」レベル信号を出力する。これにより、ゲート回路11cがアクティブとなり、分岐部BRN内のC素子2dのCO出力が端子CObから出力される。

【0047】

なお、分岐部BRNの前段にあたるパイプラインレジスタ4cの前段のパイプ

ラインレジスタ4 bも同様に、その入力側に設置されているホスト転送フラグ操作回路により同時にホスト転送フラグが「H」レベルにセットされる。

【0048】

データ駆動型情報処理装置は、C素子の転送要求信号と転送許可信号のやり取りでデータを処理するため、端子CO b, RI bが外部（ホスト）からの信号となり、よってデータ駆動型情報処理装置から外部に転送されることになる。ちなみに、ホスト転送フラグ検出回路11 eはホスト転送フラグが「L」レベルのときは、その「L」レベルをラッチして出力する。このとき、ゲート回路11 bがアクティブとなり、C素子2 dのCO出力が端子CO aから出力される。端子CO a, RI aは合流部JNCとの信号のやり取りを行なうため、データパケットが合流部JNCに戻ることになる。ホスト転送フラグ検出回路11 eはたとえばラッチ回路やまたは単なる遅延回路のような簡単な構成であってもよい。

【0049】

これにより、データパケットは強制的に外部（ホスト）に転出するため、デッドロック状態が解消されるとともに、データ駆動型情報処理装置内の循環パイプライン上のデータを外部（ホスト）側で取得してデバッグすることが可能となる。ここで、ホストへの転送とは、一般的にデータ駆動型情報処理装置には図10に示したようなデータ駆動型情報処理装置PEが複数個入出力制御部（分岐部や合流部）を介して接続されて信号のやり取りを行なっており、ホストへの転送とは、このデータ駆動型情報処理装置から外部に信号を取出すことをいう。

【0050】

次に、ホスト転送フラグ操作回路10 fの変形例として、たとえばDタイプフリップフロップにより構成することができる。Dタイプフリップフロップの入力端子は電源Vcc端子に接続し、クロック入力端子にはマスタリセット信号MR bを与え、このマスタリセット信号MR bの立上がり時にDタイプフリップフロップの出力端子から「H」レベル信号が出力されるように構成することができる。そして、前述の説明と同様にして、C素子からのCPの立上がり時にパイプラインレジスタの所定の場所に「H」レベル信号が格納される。この場合、マスタリセット信号MR bが一旦「H」レベルになると、それ以降「L」レベルになっ

ても、Dタイプフリップフロップの出力は「H」レベルを維持する。このため、以後パイプラインレジスタ4cに転送されて格納されたデータパケットのホスト転送フラグを「H」レベルにセットできる。ホスト転送フラグ操作回路10fは、分岐部BRNの入力段であるパイプラインレジスタ4dの入力段に1個あればよく、ホスト転送フラグ操作回路の設置数を削減できる。

【0051】

図4はこの発明の他の実施形態を示す図である。この図4に示した実施形態は、パイプラインレジスタ1cの前段にのみホスト転送フラグ操作回路2hが設けられており、パイプラインレジスタ1bの前段にはホスト転送フラグ操作回路が設けられていない点において図1の実施形態と異なっている。

【0052】

そして、図1のホスト転送フラグ操作回路1g, 1hには制御信号としてマスタリセット信号MRbが与えられていて、制御信号として「H」レベルが入力されると、ホスト転送フラグ操作回路1g, 1hはパイプラインレジスタ1b, 1c内に保持されているデータパケット内のホスト転送フラグを「H」レベルとした。これに対して、図4に示した実施形態では、ホスト転送フラグ操作回路2hは制御信号であるマスタリセット信号MRbが「L」レベルのときはこの状態を記憶し、以降パイプラインレジスタ1bから入力されるホスト転送フラグには、何ら操作することなくそのままパイプラインレジスタ1cに出力する。この場合、ホスト転送フラグは初期状態の「L」レベルになっている。

【0053】

一方、ホスト転送フラグ操作回路2hは、制御信号として「H」レベルが入力されると、この「H」レベルを記憶し、以降パイプラインレジスタ1bから入力されるデータパケット内のホスト転送フラグを「H」レベルに書き換えてパイプラインレジスタ1cに転送する。このとき、パイプラインレジスタ1bから出力されるデータパケットの他の領域（タグフィールドとデータフィールド）はロジック回路6bにおいて所定の処理が行なわれ、パイプラインレジスタ1cに転送される。したがって、入力されたデータパケットは、ホスト転送フラグ操作回路2hとロジック回路6bを含む回路2gの中で上述の処理が行なわれ、データパケ

ットを出力することになる。

【0054】

なお、この図4に示した実施形態で使用されるデータパケットは、図1に示した実施形態で使用したデータパケットと同じ構成にされている。

【0055】

次に、この図4に示したデータ駆動装置を前述の図10に示したデータ駆動型情報処理装置Pに適用した例を図2を参照しながら説明する。図2のデータ駆動型情報処理装置PEにおいて、2つのマスタリセット信号MRaとMRbがOR回路1fを介して入力されたC素子2aと、このC素子2aが属するパイプラインレジスタ1aが分岐部BRN内にあるものとする。

【0056】

一方、ホスト転送フラグ操作回路2hはプログラム記憶部PSに含まれているものとする。動作は基本的には図1に示した実施形態と同じである。データの依存関係やデータパケットの到着順序のずれなどにより、デッドロック状態に陥ったとき、マスタリセット信号MRbが「H」レベルにされる。これにより、MR入力端子にマスタリセット信号MRaとMRbがOR回路1fを介して入力されているC素子2aが属する分岐部BRN内のパイプラインレジスタ1aに格納されているデータパケットは上書きされて消滅する。

【0057】

その後、マスタリセット信号MRbが「L」レベルにされる。これにより、先に説明したように分岐部BRN内のデータ伝送路のパイプラインレジスタによって格納されているデータパケットが上書きにより消滅し、かつ上書きされたデータパケットのホスト転送フラグが「H」レベルのため、外部への転送が可能となり循環パイプライン上のデッドロック状態が解消する。

【0058】

デッドロック状態が解消すると、循環パイプライン上のデータパケットは転送を再開し、最も分岐部BRNに近いプログラム記憶部PSを通過する際に、プログラム記憶部PS内に設けられているホスト転送フラグ操作回路2hに記憶されている「H」レベル信号により、通過して処理されるデータパケット内のホスト

転送フラグが「H」レベルとされる。この例では、前述の実施形態および変形例と発明の効果となり、ホスト転送フラグ操作回路2hはプログラム記憶部PSに含まれており、操作へのソフト変更によるさらなる対応などが可能となり、デバッグの自由度を増すことができる。

【0059】

ホスト転送フラグが「H」レベルにセットされたデータパケットは、分岐部BRN内のホスト転送フラグ検出回路により、「H」レベルのホスト転送フラグが検出され、強制的にデータ駆動型情報処理装置から外部（ホスト）に転送されることになる。

【0060】

これにより、デッドロック状態が解消されるとともに、データ駆動型情報処理装置PE内の循環パイプライン上のデータを外部に転送して取得することでデバッグすることが可能となる。

【0061】

なお、この発明によるマスタリセット信号MRbが入力されるC素子や、ホスト転送フラグ操作回路の設置場所および設置数は特に限定されるものではない。また、ホスト転送フラグ操作回路やホスト転送フラグ検出回路も既知の技術で容易に構成可能である。そして、これらを入出力制御部としての出力部でもある分岐部BRN内に設けることで、この中のデータ伝送路を初期化して転送可能にすることにより、確実にデッドロック状態を解消することができる。

【0062】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内のすべての変更が含まれることが意図される。

【0063】

【発明の効果】

以上のように、この発明によれば、パイプラインレジスタに格納されているデータパケットを消去して他のデータパケットを外部に出力する機能を設けるよう

にしたので、循環パイプラインのデッドロック状態を解除するだけでなく、循環パイプライン上の他のデータパケットを外部のホストへ転送できるため、デッドロック状態を引起す原因となったデータパケットの情報を容易に獲得でき、効果的なデバッグ機能を備えたデータ駆動型情報処理装置を実現することができる。

【図面の簡単な説明】

【図1】 この発明の一実施形態によるハンドシェイク方式を採用したデータ伝送装置のブロック図である。

【図2】 図1に示したデータ伝送装置を用いたデータ駆動型情報処理装置のブロック図である。

【図3】 図2に示したデータ駆動型情報処理装置の分岐部周辺部のみを示す回路図である。

【図4】 この発明の他の実施形態のハンドシェイク方式を採用したデータ伝送装置のブロック図である。

【図5】 従来およびこの発明の実施形態に適用されるデータパケットのフォーマット図である。

【図6】 従来のデータ伝送路の一例を示すブロック図である。

【図7】 図6に示したC素子のタイミングチャートである。

【図8】 従来のハンドシェイク方式を採用したデータ伝送装置の一例を示すブロック図である。

【図9】 C素子の具体的な回路図である。

【図10】 従来のデータ駆動型情報処理装置のブロック図である。

【図11】 従来のデータ駆動型情報処理装置においてデッドロック状態が起こり得るデータパケットの依存関係の一例を示す図である。

【符号の説明】

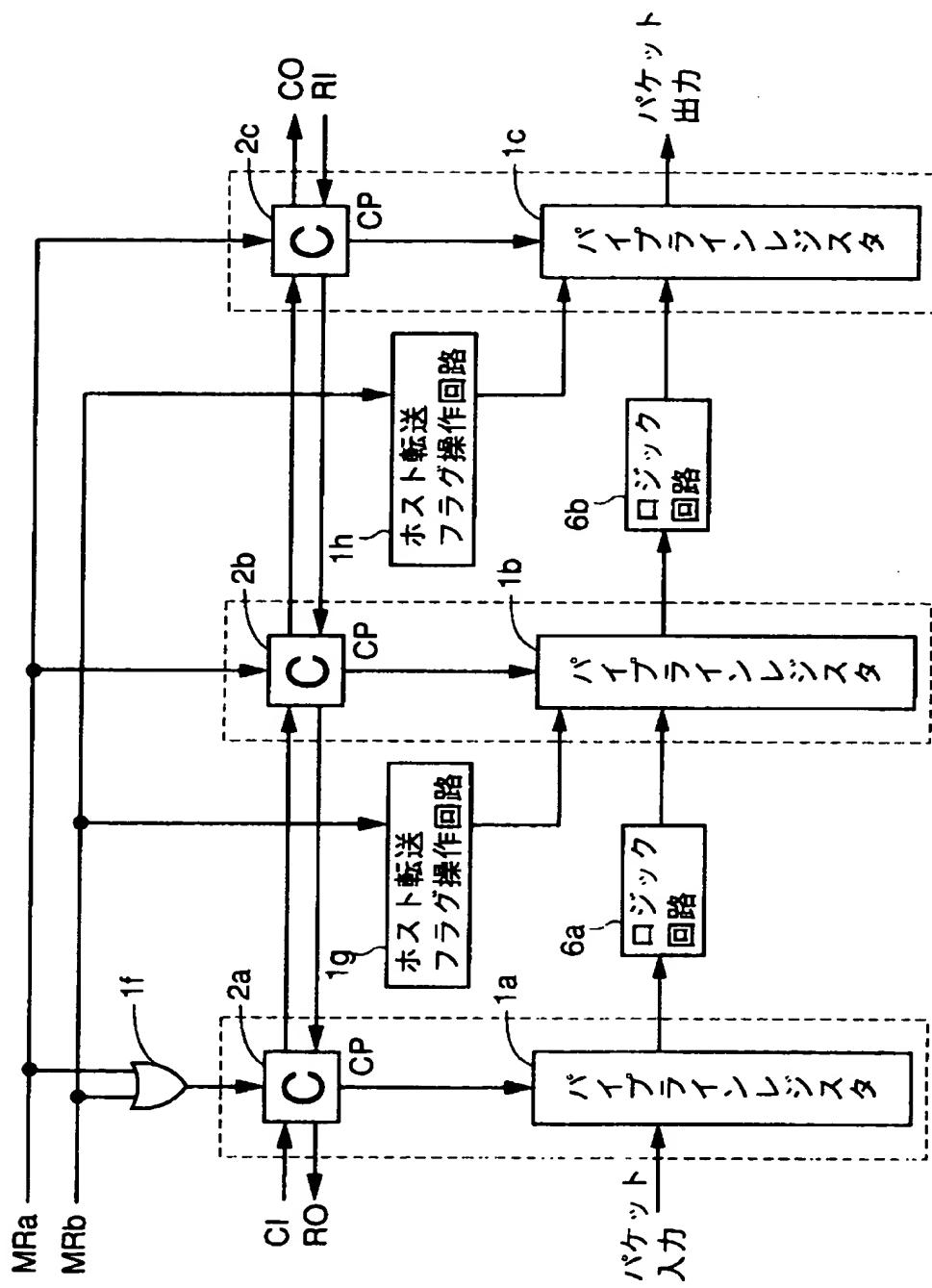
1 a, 1 b, 1 c パイプラインレジスタ、1 g, 1 h, 10 f, 2 h ホスト転送フラグ操作回路、2 a, 2 b, 2 c, 2 d C素子、6 a, 6 b ロジック回路、11 b, 11 c, 11 d ゲート回路、11 e ホスト転送フラグ検出回路、JNC 合流部、FC 発火制御部、FP 演算部、PS プログラム記

特2000-127342

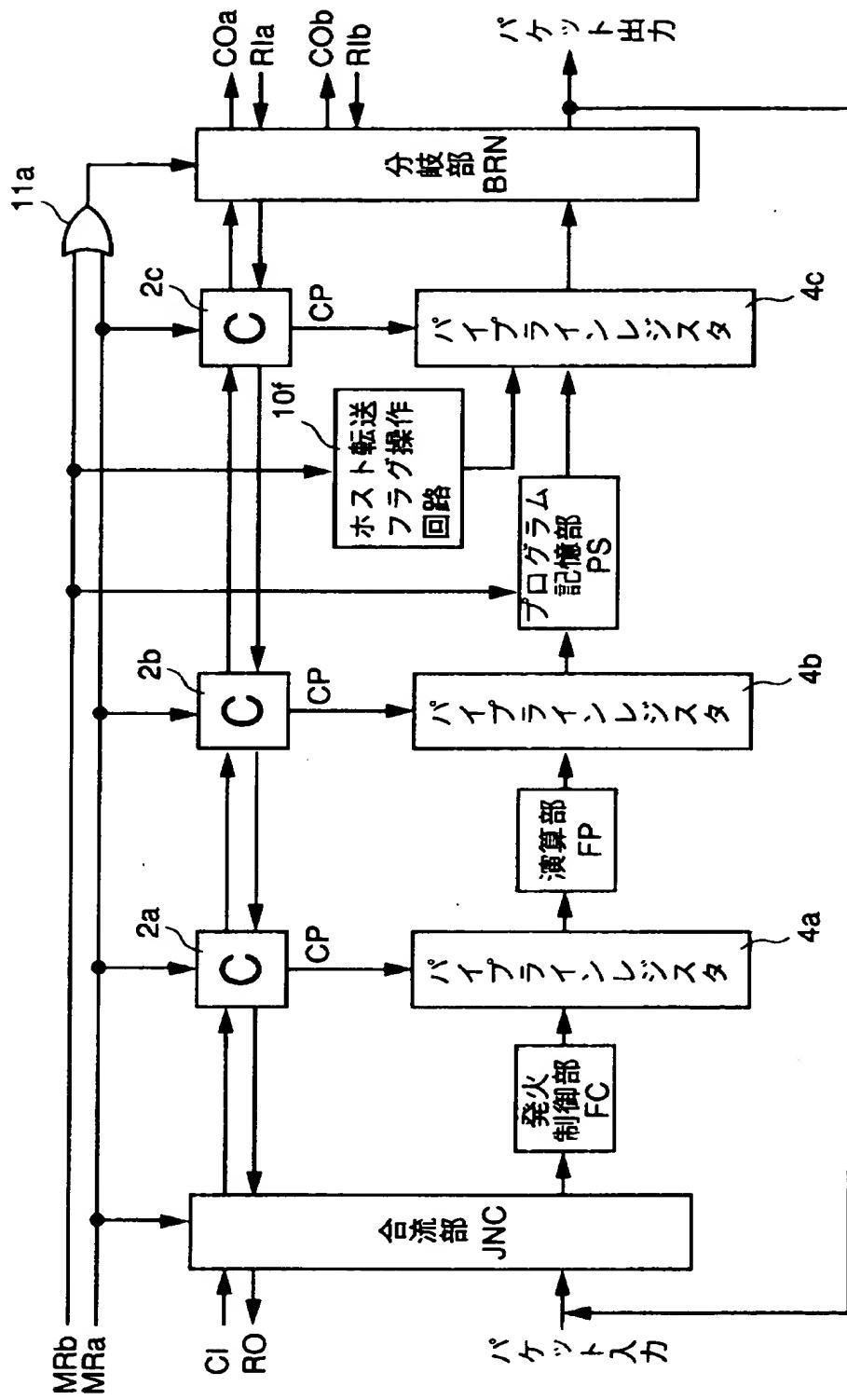
憶部、B R N 分岐部。

【書類名】 図面

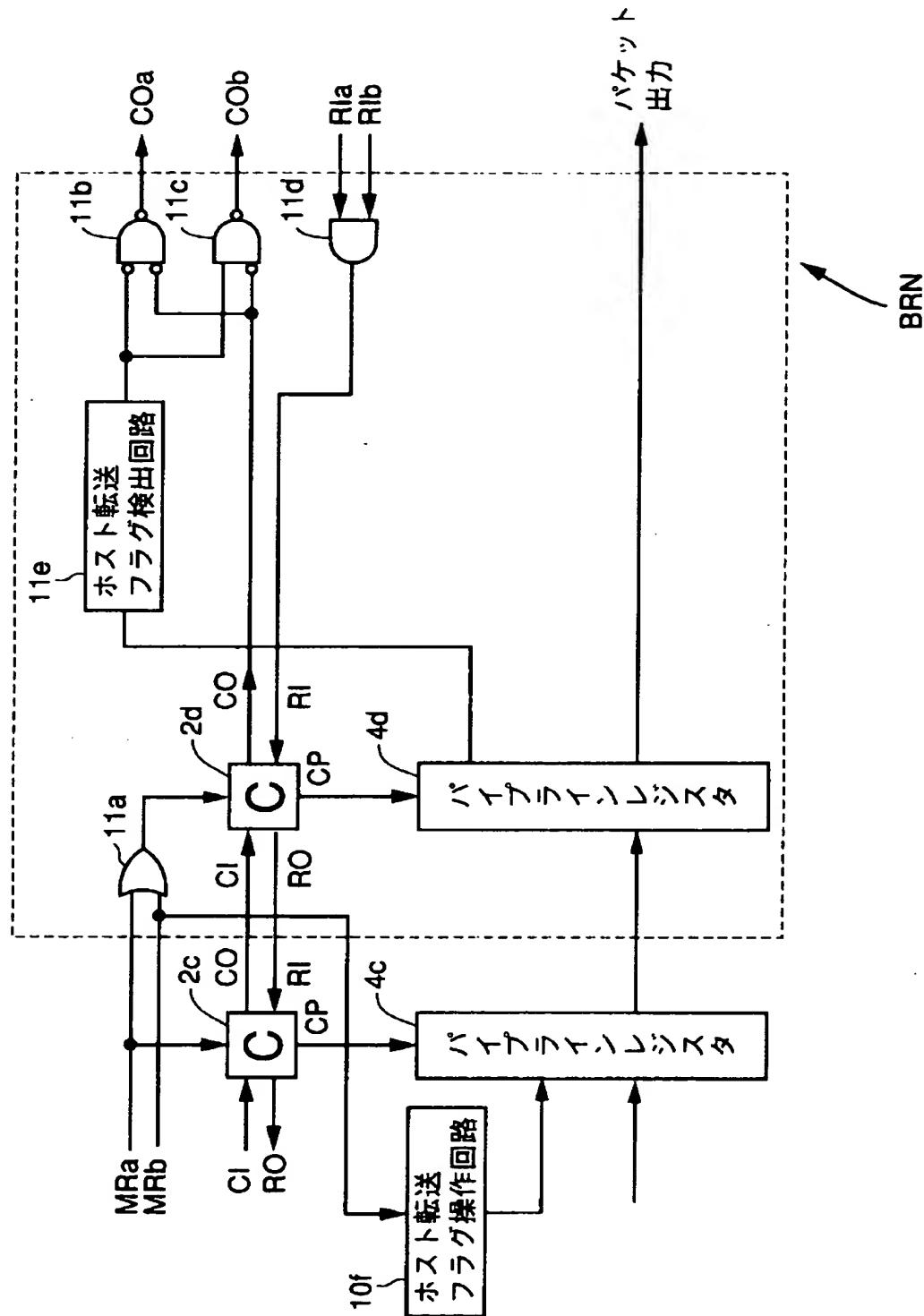
【図1】



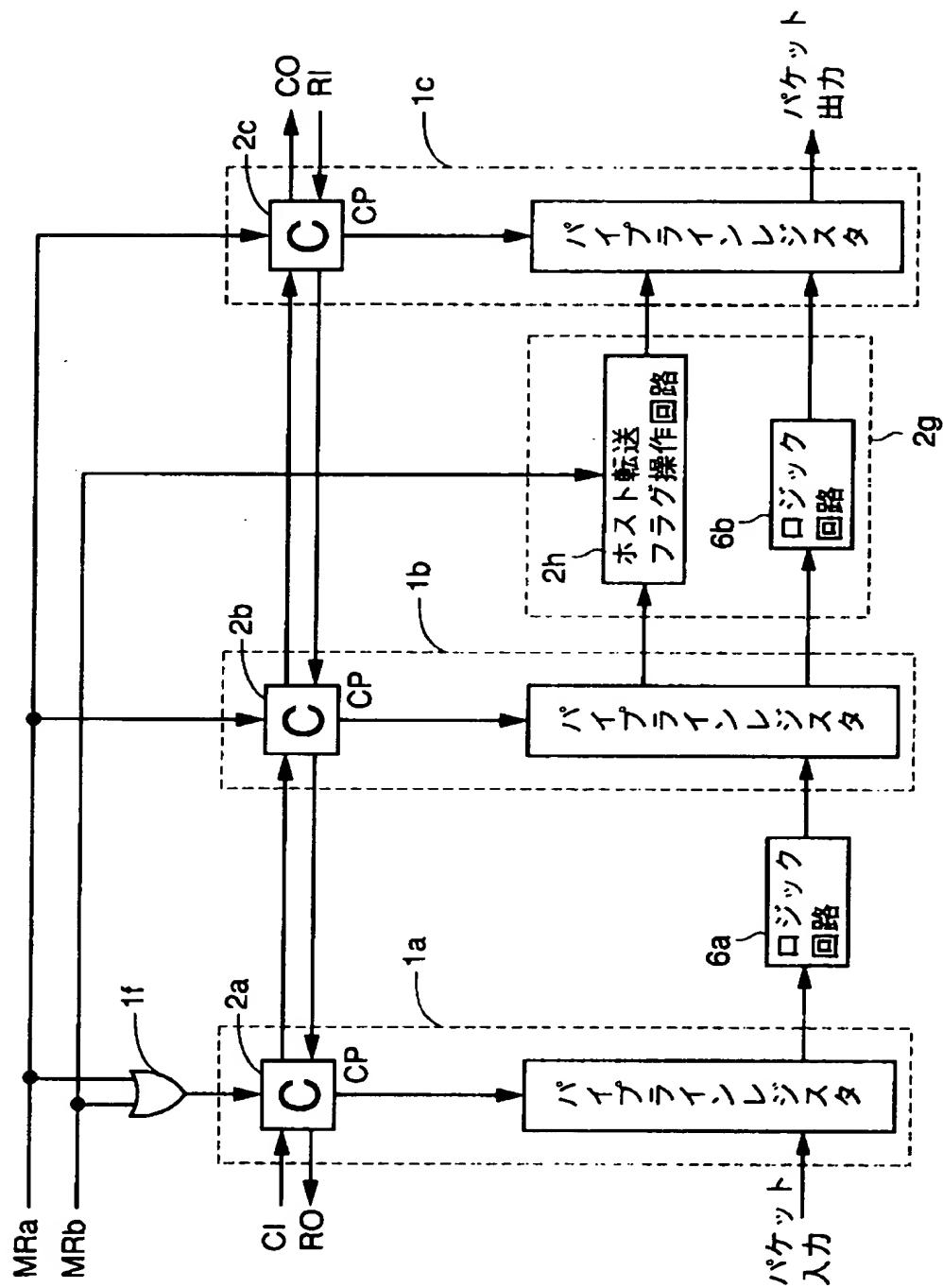
【図2】



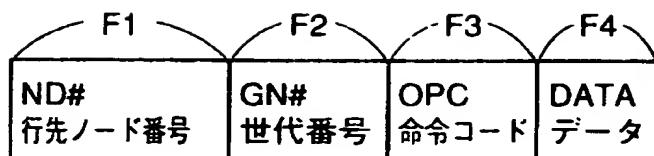
【図3】



【図4】



【図5】



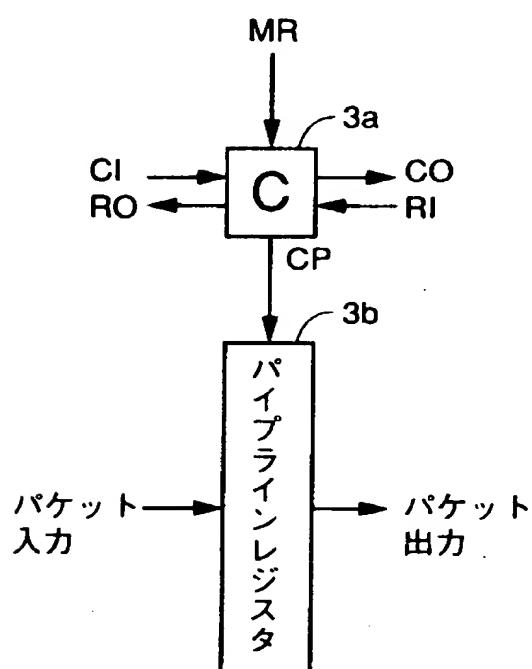
F1:行先ノード番号領域

F2:世代番号領域

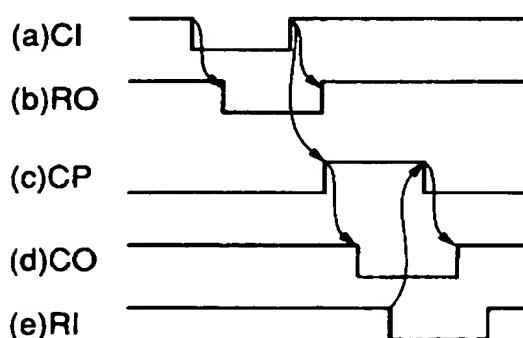
F3:命令コード領域

F4:データ領域

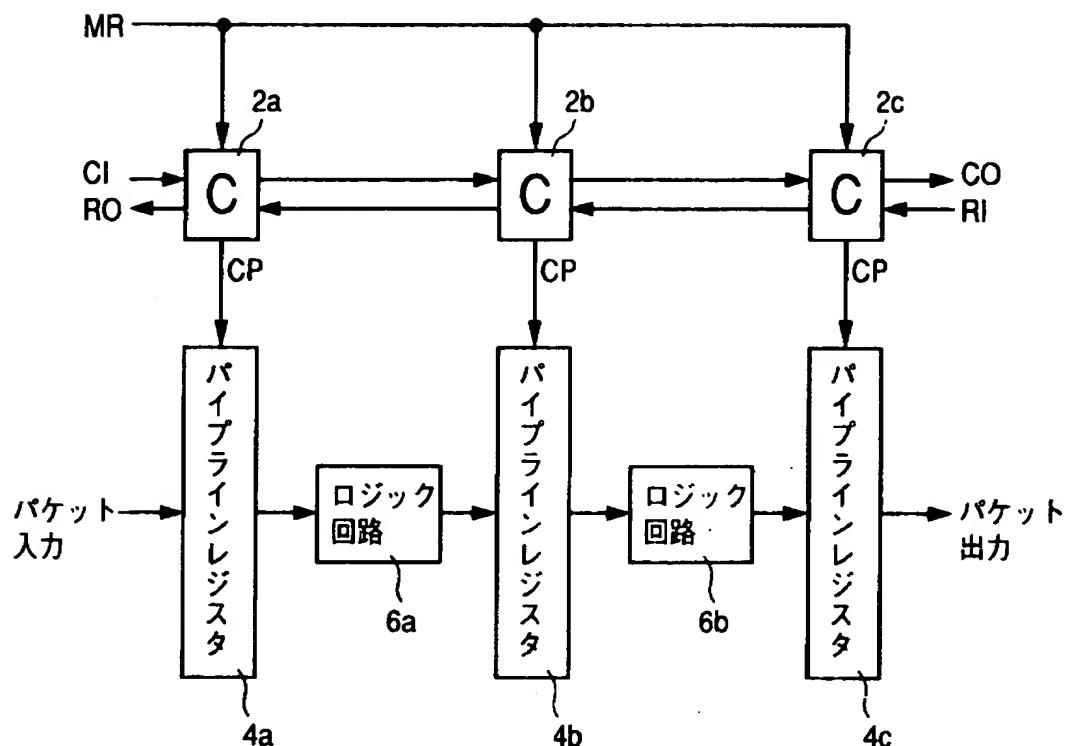
【図6】



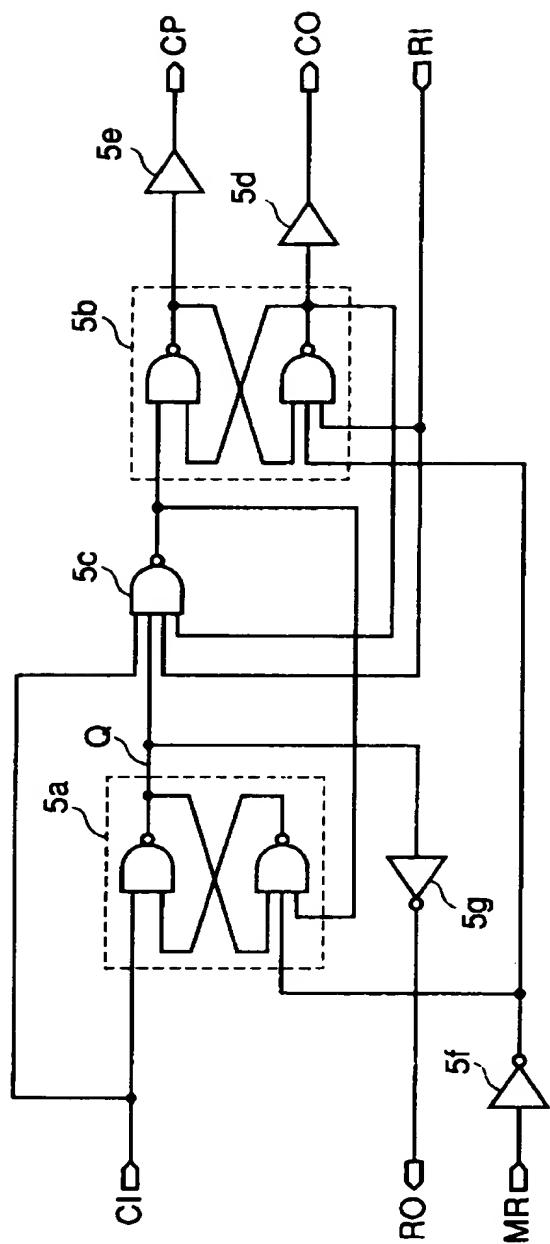
【図7】



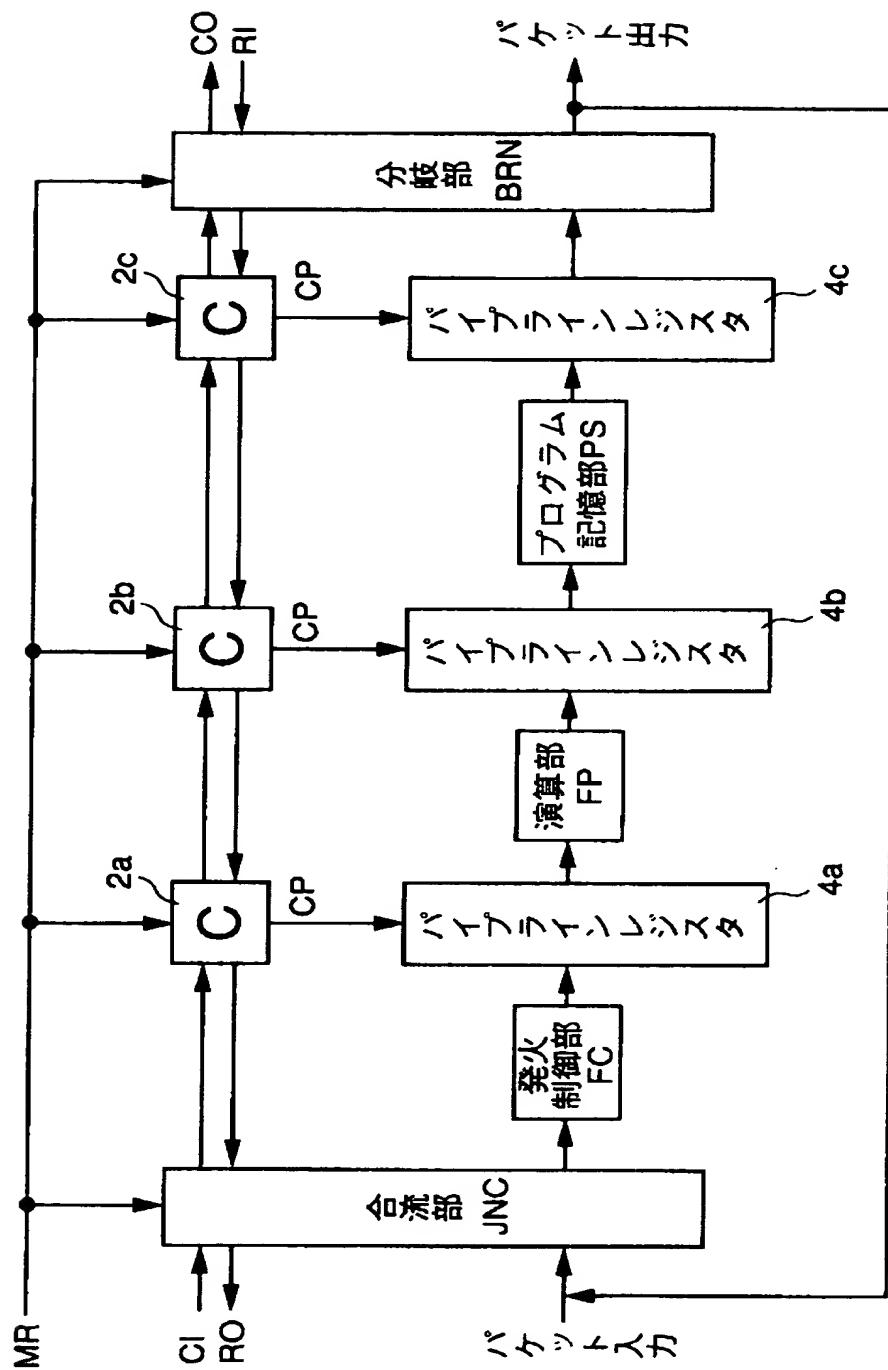
【図8】



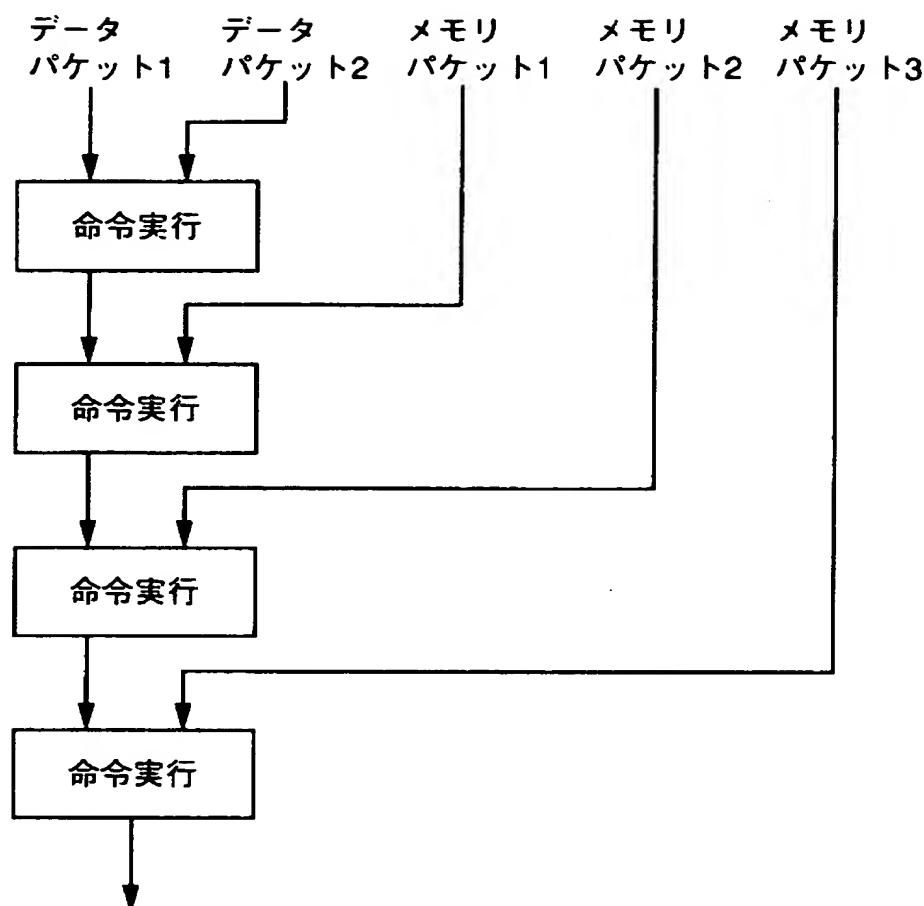
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 循環パイプライン上の少なくとも1つのデータパケットを消去し、かつ循環パイプライン上の他のデータパケットをホストへ転送させる機能を備えたデータ駆動型情報処理装置を提供する。

【解決手段】 C素子2a～2cはパイプラインレジスタ1a～1cを制御してデータパケットを順次転送させ、デッドロック状態になると、マスタリセット信号によりパイプラインレジスタ1aのデータパケットを消去し、ホスト転送フラグ操作回路1gはパイプラインレジスタ1bのデータパケットを書きかえてホスト転送フラグを「H」レベルにし、その後の段階でこのホスト転送フラグを検出すると、そのデータパケットをホストに転送させる。

【選択図】 図1

出願人履歴情報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社